

POWER SOURCE CIRCUIT

Patent Number: JP2000132248
Publication date: 2000-05-12
Inventor(s): SHIMANUKI HIDEYA
Applicant(s): NEC FUKUSHIMA LTD
Requested Patent: JP2000132248
Application Number: JP19980307640 19981028
Priority Number(s):
IPC Classification: G05F1/56; H02M3/00
EC Classification:
Equivalents: JP2974314B2

Abstract

PROBLEM TO BE SOLVED: To stabilize a voltage of a load terminal by performing output voltage detection from a connection point between a first smooth circuit and a second smooth circuit, comparing the output voltage with a reference voltage, generating a pulse width control signal and, at the same time, detecting voltage lowering of a second coil and correcting an output voltage detection value.

SOLUTION: An input voltage 23 is inputted to a switching part 1, an output pulse voltage of this switching part 1 is rectified by rectifying diodes 2 and 3, and an output voltage is detected from a point A in a first stage of a smooth filter composed of a coil 4 and a capacitor 5. A differential voltage between this output voltage and a reference voltage by a Zener diode 13 is amplified by an amplifier 8, fed back from a Duty, and a pulse width of the switching part 1 is controlled. Then, voltage lowering by an output current flowing to a load 22 in a second stage of a smooth filter composed of a coil 6 and a capacitor 7 is detected by an amplifier 9 and an output voltage detected value is finely adjusted.

Data supplied from the esp@cenet database - I2

BEST AVAILABLE COPY

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号
特開2000-132248
(P2000-132248A)

(43) 公開日 平成12年5月12日 (2000.5.12)

(51) Int.Cl. ⁷	識別記号	F I	テマコード* (参考)
G 0 5 F 1/56	3 1 0	G 0 5 F 1/56	3 1 0 D 5 H 4 3 0
H 0 2 M 3/00		H 0 2 M 3/00	P 5 H 7 3 0

審査請求 有 請求項の数 5 O L (全 7 頁)

(21) 出願番号 特願平10-307640

(22) 出願日 平成10年10月28日 (1998. 10. 28)

(71) 出願人 390001074

福島日本電気株式会社

福島県福島市清水町字一本松1番地の1

(72) 発明者 島貫 英也

福島県福島市清水町字一本松1番地の1

福島日本電気株式会社内

(74) 代理人 100108578

弁理士 高橋 昭男 (外3名)

Fターム(参考) 5H430 BB01 BB09 BB11 BB20 CC07

EE00 FF04 FF13 FF15 FF17

GG02 GG05 HH03 JJ04 JJ07

5H730 AA00 AS01 BB11 BB21 DD00

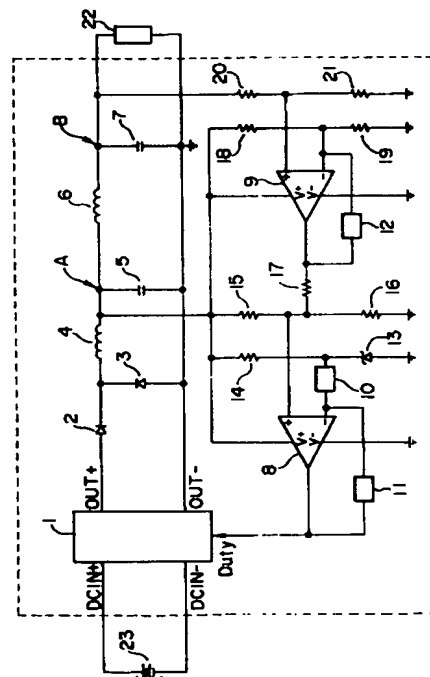
EE08 EE10 FD01 FG05 FV05

(54) 【発明の名称】 電源回路

(57) 【要約】

【課題】 制御系の安定が高く、負荷端の電圧を安定化させることができる電源回路を提供する。

【解決手段】 入力直流電圧をパルス幅制御して所定の直流出力を取り出すスイッチング電源であって、第1のコイルと第1のコンデンサによって形成された第1の平滑回路と、第2のコイルと第2のコンデンサによって形成され前記第1の平滑回路の出力側に直列接続された第2の平滑回路と、前記第1の平滑回路と前記第2の平滑回路の接続点から出力電圧検出を行い、基準電圧との比較により前記パルス幅制御信号を生成する第1の増幅器を含んだ帰還回路と、前記第2のコイルの電圧降下を検出して前記出力電圧検出値を補正する第2の増幅器とを具備したことを特徴とする。また、他の実施形態では、前記基準電圧がシャントレギュレータによって生成され、前記第2の増幅器の出力が前記シャントレギュレータの電圧を補正することを特徴とする。



【特許請求の範囲】

【請求項 1】 入力直流電圧をパルス幅制御して所定の直流出力を取り出すスイッチング電源であって、

第 1 のコイルと第 1 のコンデンサによって形成された第 1 の平滑回路と、

第 2 のコイルと第 2 のコンデンサによって形成され前記第 1 の平滑回路の出力側に直列接続された第 2 の平滑回路と、

前記第 1 の平滑回路と前記第 2 の平滑回路の接続点から出力電圧検出を行い、基準電圧との比較により前記パルス幅制御信号を生成する第 1 の増幅器を含んだ帰還回路と、

前記第 2 のコイルの電圧降下を検出して前記出力電圧検出値を補正する第 2 の増幅器とを具備してなる電源回路。

【請求項 2】 前記第 1 および第 2 の増幅器の電源は、前記第 1 の平滑回路と前記第 2 の平滑回路の接続点からとられたことを特徴とする請求項 1 に記載の電源回路。

【請求項 3】 前記第 1 および第 2 の増幅器の電源は、出力端からとられたことを特徴とする請求項 1 に記載の電源回路。

【請求項 4】 前記基準電圧は、ツェナーダイオードによって生成されたことを特徴とする請求項 1 ないし 3 のいずれかに記載の電源回路。

【請求項 5】 前記基準電圧は、シャントレギュレータによって生成され、前記第 2 の増幅器の出力が前記シャントレギュレータの電圧を補正することを特徴とする請求項 1 ないし 3 のいずれかに記載の電源回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、マイクロコンピュータ等の電子装置に電源を供給する電源回路に関し、特に電源回路の出力電圧検出点に関する。

【0002】

【従来の技術】従来の電源回路の第 1 の回路例を図 6 に示す。この回路では、電源の出力電圧の検出点を 1 段目の平滑フィルタのコイル 4 と 2 段目の平滑フィルタのコイル 6 の接続点から行っていた。また、図 7 に示す従来の電源回路の第 2 の回路例では出力電圧の検出点を負荷 22 の両端とした回路も使用されていた。

【0003】

【発明が解決しようとする課題】ところが上述の図 6 に示す回路の方法によれば、検出点の電圧は安定化できるが、負荷 22 の変化が大きいと 2 段目の平滑フィルタのコイル 6 及びプリント基板の銅箔パターンや接続線の抵抗により負荷 22 の両端の電圧は、安定化出来ないという課題があった。

【0004】また、図 7 に示す従来の電源回路の第 2 の回路例のように、出力電圧の検出点を負荷 22 の両端と

すると、負荷 R の両端の電圧は安定化出来るが、電圧帰還ループ内に L と C によるフィルタが 2 段入る為、原理的に位相が 180° 遅れ、制御系が発振しやすいため、位相設計が難しいという課題があった。

【0005】本発明はこのような背景の下になされたもので、制御系の安定が高く、負荷端の電圧を安定化させることができる電源回路を提供することを目的とする。

【0006】

【課題を解決するための手段】請求項 1 に記載の発明は、入力直流電圧をパルス幅制御して所定の直流出力を取り出すスイッチング電源であって、第 1 のコイルと第 1 のコンデンサによって形成された第 1 の平滑回路と、第 2 のコイルと第 2 のコンデンサによって形成され前記第 1 の平滑回路の出力側に直列接続された第 2 の平滑回路と、前記第 1 の平滑回路と前記第 2 の平滑回路の接続点から出力電圧検出を行い、基準電圧との比較により前記パルス幅制御信号を生成する第 1 の増幅器を含んだ帰還回路と、前記第 2 のコイルの電圧降下を検出して前記出力電圧検出値を補正する第 2 の増幅器とを具備してなる電源回路を提供する。

【0007】請求項 2 に記載の発明は、前記第 1 および第 2 の増幅器の電源が、前記第 1 の平滑回路と前記第 2 の平滑回路の接続点からとられたことを特徴とする請求項 1 に記載の電源回路を提供する。

【0008】請求項 3 に記載の発明は、前記第 1 および第 2 の増幅器の電源が、出力端からとられたことを特徴とする請求項 1 に記載の電源回路を提供する。

【0009】請求項 4 に記載の発明は、前記基準電圧が、ツェナーダイオードによって生成されたことを特徴とする請求項 1 ないし 3 のいずれかに記載の電源回路を提供する。

【0010】また請求項 5 に記載の発明は、前記基準電圧が、シャントレギュレータによって生成され、前記第 2 の増幅器の出力が前記シャントレギュレータの電圧を補正することを特徴とする請求項 1 ないし 3 のいずれかに記載の電源回路を提供する。

【0011】

【発明の実施の形態】以下、この発明の実施形態について図を参照しながら説明する。図 1 はこの発明の第 1 の実施形態による電源回路の回路図である。図 1 はスイッチング電源であり、入力電圧 23 をスイッチング部 1 に入力し、このスイッチング部 1 の出力パルス電圧を整流ダイオード 2、3、コイル 4、6 およびコンデンサ 5、7 によって構成された平滑フィルタで平滑し、直流電圧を負荷 22 へ出力する回路である。

【0012】前記スイッチング部のパルス幅制御は、出力電圧を入力電圧 23 や負荷 22 の変動でも安定化するために、平滑フィルタの 1 段目（図の A 点）より出力電圧を検出し、ツェナーダイオード 13 による基準電圧との誤差電圧を増幅器 8 によって増幅して図の Duty か

ら帰還することにより、前記スイッチング部 1 のパルス幅を制御するようになっている。また、平滑フィルタは 2 段構成として、負荷へのリップルノイズを低減する構成となっている。

【0013】この場合、平滑フィルタの 2 段目は負荷 22 へ流れる出力電流による電圧降下が発生するため負荷 22 が変動すると、この電圧降下も変動して負荷 22 の電圧安定度が悪くなる。そこで、増幅器 9 によってこの電圧降下を検出して前記出力電圧検出値を微調整することによって 2 段目平滑フィルタのコイル 6 の電圧降下を相殺し、負荷 22 が変化しても安定な出力電圧を得るようにしている。

【0014】さらに、出力電圧の帰還を 1 段目の平滑フィルタの後（図の A 点）から行い、2 段目の平滑フィルタの電圧降下分は、負荷 22 からのもう一つの電圧検出（図の B 点）による増幅器 9 の帰還回路によって前記スイッチング部 1 のパルス幅を制御することで帰還による制御系の安定が容易に確保できる構成とすることができたものである。

【0015】次に回路構成の詳細について図 1 を参照して説明する。この図の実施形態の電源回路の出力部としては、スイッチング部 1 のプラス出力 OUT+ をダイオード 2 のアノードに接続、スイッチング部 1 のマイナス出力 OUT- をダイオード 3 のアノードに接続、ダイオード 2 及びダイオード 3 のカソード同士を接続して整流回路を構成する。ダイオード 3 のアノードはグラウンドへ接続する。また、ダイオード 3 のカソードは、平滑回路のコイル 4 の一端へ接続し、コイル 4 の他端は平滑回路のコンデンサ 5 の一端とコイル 6 の一端へ接続される。コンデンサ 5 の他端はグラウンドへ接続する。コイル 6 の他端はコンデンサ 7 の一端へ接続し、コンデンサ 7 の他端はグラウンドへ接続する。コイル 6 とコンデンサ 7 で 2 段目の平滑フィルタを構成する。コイル 6 とコンデンサ 7 の接続点（図の B 点）とグラウンドから負荷 22 へ導く。

【0016】一方、コイル 4 とコイル 6 の接続点（図の A 点）とグラウンドとの間に抵抗 15 と抵抗 16 を直列に挿入し分圧回路を構成する。抵抗 15 と抵抗 16 の接続点を増幅器 8 のプラス入力端子へ接続する。また、コイル 4 とコイル 6 の接続点から抵抗 14 を介してツェナーダイオード 13 のカソードへ接続しツェナーダイオード 13 のアノードはグラウンドへ接続する。ツェナーダイオード 13 は本電源回路の出力電圧を安定化するための基準電圧である。ツェナーダイオード 13 のカソードは、インピーダンス 10 を介して、増幅器 8 のマイナス入力へ接続する。

$$V_{out} = V_{in} \times T' / T \times n2 / n1 \dots (2)$$

【0022】更に、この 1 段目の平滑フィルタの後段にコイル 6 とコンデンサ 7 による 2 段目の平滑フィルタを通り負荷 22 へ導かれる。1 段目の平滑フィルタにより

【0017】また、増幅器 8 の出力はスイッチング部のパルス幅制御入力へ接続する。増幅器 8 の出力と増幅器 8 のマイナス入力間にはインピーダンス 11 を接続する。増幅器 8 はプラス入力電圧と基準電圧を比較し、誤差電圧を増幅し、パルス幅を制御することで、検出点であるコイル 4 とコイル 6 の接続点の電圧を一定に制御する。

【0018】そして更に、コイル 6 とコンデンサ 7 の接続点とグラウンドとの間に抵抗 20 と抵抗 21 を直列に挿入し分圧回路を構成する。そして、抵抗 20 と抵抗 21 の接続点より増幅器 9 のプラス入力端子へ接続する。一方、コイル 4 とコイル 6 の接続点とグラウンドの間に抵抗 18 と抵抗 19 を直列に挿入しこれも分圧回路を構成する。

【0019】そして、抵抗 18 と抵抗 19 の接続点から増幅器 9 のマイナス入力端子へ接続する。増幅器 9 の出力は抵抗 17 を介して抵抗 15 と抵抗 16 の前記接続点へ接続する。増幅器 9 のマイナス入力端子と出力端子の間にはインピーダンス 12 を接続する。増幅器 8 及び増幅器 9 のプラス電源はコイル 4 とコイル 6 の接続点へ、マイナス電源はグラウンドへ接続する。増幅器 9 は負荷端の本電源回路による出力電圧と 1 段目の平滑フィルタの後であるコイル 4 とコイル 6 の接続点の電圧降下を検出し増幅して増幅器 8 のプラス入力電圧を変化させる作用を持つ。

【0020】本発明の実施形態の動作について図 1 及び図 4 を参照しながら説明する。まず本発明の電源回路の電源としての基本部分の説明をする。この部分は、本発明の特徴となる部分ではないが、本発明には必要な条件となる。入力電圧 23 が電源回路の入力端子（図 1 では DCIN+、DCIN- と表記）に入力されると、スイッチング部 1 でスイッチングにより図 4 のごとくパルス状波形に変換される。このパルス状波形は、スイッチング部 1 の出力端子（図 1 では OUT+、OUT- と表記）整流ダイオード 2 及び整流ダイオード 3 により整流され、コイル 4 とコンデンサ 5 による 1 段目の平滑フィルタで直流電圧に再び変換される。

【0021】また、この時の整流・平滑された直流電圧値は、図 4 の T と T' の比で決定され T' の割合が大きければ電圧が上昇し、小さければ下降する。この時の直流電圧値 V_{out} は、入力電圧 23 を V_{in} とすると、式 (1) のように表現される。

$$V_{out} = V_{in} \times T' / T \dots (1)$$

また、スイッチング部 1 内に電源トランスが有って変圧される場合は、電源トランスの 1 次巻線を $n1$ 、2 次巻線を $n2$ とした場合は、式 (2) のように表現される。

整流電圧波形が平滑された直流電圧は、増幅器 8 によりスイッチング部 1 へフィードバック制御され安定化される。まず、抵抗 15 及び抵抗 16 により分圧され、増幅

器 8 のプラス入力端子へ入力される。

【0023】一方、ツェナーダイオード 13 により発生された基準電圧は、インピーダンス 10 を通り増幅器 8 のマイナス入力端子へ入力される。ツェナーダイオード 13 の電流は、前期 1 段目の平滑フィルタで平滑された直流電圧から抵抗 14 を介して供給される。増幅器 8 は、プラス入力端子の電圧をマイナス入力端子の電圧と比較し、この比較された電圧を増幅し増幅器 8 の出力端子からスイッチング部 1 のパルス幅制御入力端子（図 1 では Duty と表記）へ出力される。この増幅器 8 の増幅率はインピーダンス 10 とインピーダンス 11 の比により決定される。

【0024】そして、入力電圧 23 の変動や負荷 22 の変動があった場合に 1 段目の平滑フィルタで平滑された直流電圧は、この増幅器 8 により安定に制御される。しかしながらコイル 6 及びコンデンサ 7 にて構成される 2 段目の平滑フィルタに流れる電流が負荷 22 の変動により変化することによる電圧降下の変動については、前述した回路の構成のみでは押さえることが出来ない。そこでこの実施形態は、以下に説明する回路によりこの電圧降下を補正することを可能とするものである。負荷 22 に出力された電圧を抵抗 20 及び抵抗 21 により分圧し増幅器 9 のプラス入力端子へ入力する。

【0025】一方、1 段目の平滑フィルタと 2 段目の平

$$V_o = ((R_{15} \cdot R_{17} + R_{15} \cdot R_{16} + R_{16} \cdot R_{17}) / (R_{16} \cdot R_{17})) \cdot V_r - R_{15} / R_{17} \cdot V_p \dots (3)$$

【0028】たとえば、 R_{15} から R_{17} 全てが 1 [KΩ] で、 V_r が 2.5 [V] だと仮定すると、 V_p が 1 [V] の時 V_o は 6.5 [V] となり、 V_p が 3 [V] は V_o が 4.5 [V] となる。増幅器 9 の安定度は、インピーダンス 12 及び抵抗 17 により変化させることが出来る。また、抵抗 17 を大きくすることで、増幅器 9 からの帰還量を小さくすることが出来る。この実施形態の電源回路では、1 段目の平滑フィルタより帰還することにより、図 7 に示す従来の回路のように 2 段目の平滑フィルタから帰還するよりも位相の遅れが少なく出来ることから、帰還による制御系の安定が容易に確保できる。

【0029】次に本発明の第 2 および第 3 の実施形態について説明する。図 2 は、図 1 における増幅器 8 及び増幅器 9 の電源電圧、そしてツェナーダイオードへの電源電圧を供給する接続を図示のように変更したものである。図 3 は、図 1 のツェナーダイオード 13 をシャントレギュレータ 26 に置き換え、増幅器 9 の出力を抵抗 17 を介してシャントレギュレータ 26 のリファレンスへ接続したものである。シャントレギュレータ 26 のカソードとリファレンス、リファレンスとアノードの間にはそれぞれ抵抗 24、抵抗 25 を接続する。

【0030】増幅器 9 の出力が変化するときまでは図 1 と同じであるが、この実施形態では、シャントレギュ

滑フィルタ間の電圧を抵抗 18 及び抵抗 19 にて分圧し、増幅器 9 のマイナス入力端子へ入力する。増幅器 9 は、負荷 22 の直流電圧と 1 段目の平滑フィルタで平滑された直流電圧をそれぞれを分圧した電圧同士を比較し、その誤差電圧を増幅する。増幅器 9 の増幅率は抵抗 18 と抵抗 19 の並列合成抵抗とインピーダンス 12 の比により決定される。

【0026】増幅器 9 の出力電圧は抵抗 17 を介して増幅器 8 のプラス入力端子へ接続する。増幅器 9 の増幅率は、2 段目の平滑フィルタの電圧降下分をちょうど補正する分の電圧変化を増幅器 8 のプラス入力端子に生じさせることで増幅器 8 を介して、スイッチング部 1 のパルス幅制御入力（図 1 では Duty と表記）に変化を与え、図 4 におけるパルス幅 T' を変化させ、2 段目の平滑フィルタへの直流電圧を安定化することが出来る。

【0027】言い換えれば、増幅器 9 は 2 段目の平滑フィルタの電圧降下分を打ち消す分のパルス幅制御をスイッチング部 1 に作用させる制御回路ということである。増幅器 9 の出力電圧を V_p として、ツェナーダイオード 13 のカソード電圧を V_r とし、1 段目の平滑フィルタで平滑された直流電圧を V_o とおき、更に抵抗 15 から抵抗 17 をそれぞれ R_{15} から R_{17} とした場合、これらの関係を以下の式 (3) に示す。

レータ 26 を基準電圧として使用し、増幅器 9 の出力電圧によりシャントレギュレータのリファレンス電圧を変化させ、基準電圧となるカソード電圧を変化させる。図 1 では増幅器 8 のプラス入力端子電圧を増幅器 9 の出力電圧で変化させたが、この実施形態では、反対に増幅器 8 のマイナス入力端子電圧を変化させる。図 5 は、図 1 におけるスイッチング部 1 内部にパルストランスを用いた場合のスイッチング部 1 の出力端子のパルス波形の例であり、この場合も同様の効果が得られる。

【0031】以上、本発明の一実施形態の動作を図面を参照して詳述してきたが、本発明はこの実施形態に限られるものではなく、本発明の要旨を逸脱しない範囲の設計変更等があっても本発明に含まれる。たとえば、図 1 におけるツェナーダイオード 13 は他の基準電圧源と置き換えが出来、シャントレギュレータ等の IC と置き換えてもよい。

【0032】

【発明の効果】これまでに説明したように、この発明によれば、電源の出力電圧の検出を 1 段目の平滑フィルタのコイル 4 と 2 段目の平滑フィルタのコイル 6 の接続点から行っているため、負荷 22 の変化が大きいとコイル 6 及び回路を接続するプリント基板の銅箔パターンや接続線の抵抗により負荷 22 の両端の電圧が本来変動するところを安定にすることが出来るという効果が得られ

る。

【0033】また、前述のごとく、電源の出力電圧の検出を1段目の平滑フィルタのコイル4と2段目の平滑フィルタコイル6の接続点から行っているため、電圧帰還ループ内にLとCによるフィルタが2段入らず、位相が 180° 遅れることによる発振を防止するという効果が得られる。

【図面の簡単な説明】

【図1】 本発明の第1の実施形態による電源回路の構成を示す回路図である。

【図2】 本発明の第2の実施形態による電源回路の構成を示す回路図である。

【図3】 本発明の第3の実施形態による電源回路の構成を示す回路図である。

【図4】 パルス状波形の例を示す図である。

【図5】 パルス状波形の他の例を示す図である。

【図6】 従来の電源回路の第1の回路例を示す図であ

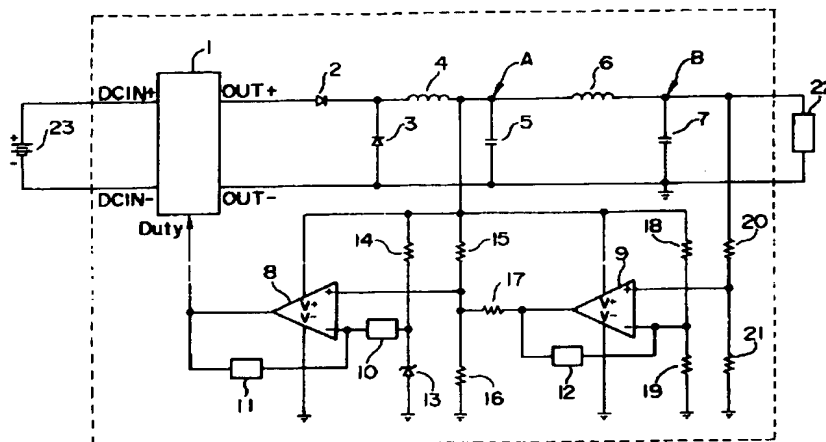
る。

【図7】 従来の電源回路の第2の回路例を示す図である。

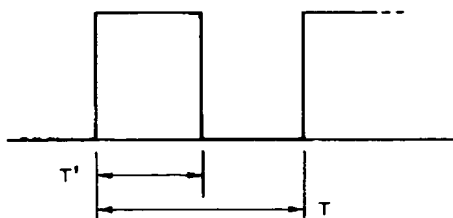
【符号の説明】

- 1…スイッチング部
- 2、3…整流ダイオード
- 4、6…コイル
- 5、7…コンデンサ
- 8、9…増幅器
- 10～12…インピーダンス
- 13…ツェナーダイオード
- 14～21…抵抗
- 22…負荷
- 23…入力電圧
- 24、25…抵抗
- 26…シャントレギュレータ

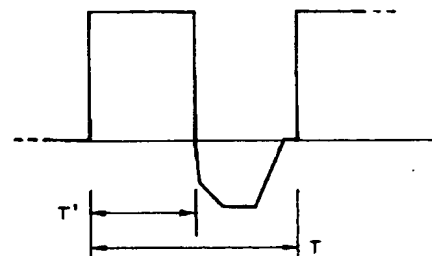
【図1】



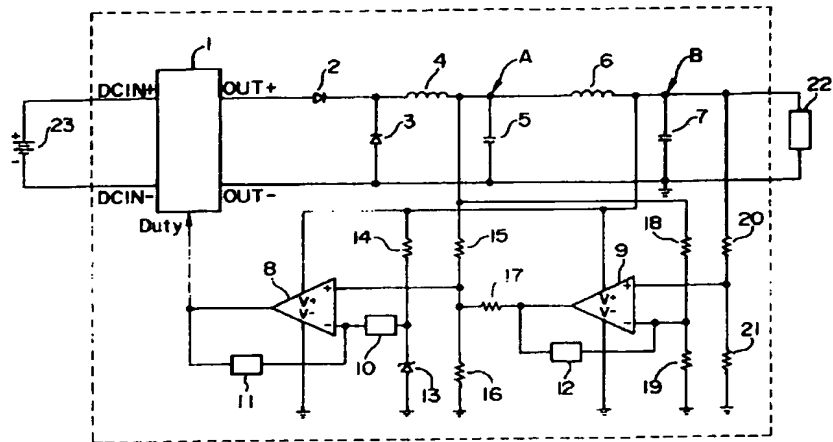
【図4】



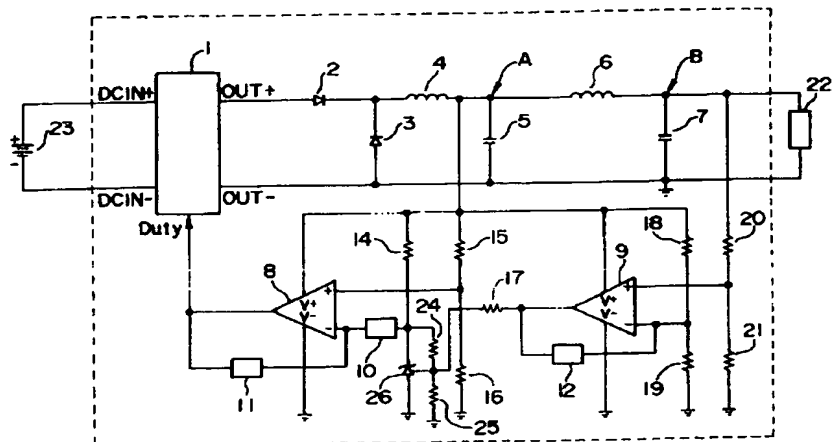
【図5】



【圖 2】



【図 3】



The schematic diagram shows a power supply circuit. On the left, a battery symbol labeled 23 provides input to a block labeled 1. The input terminals are labeled DCIN+ and DCIN-. The output terminals are labeled OUT+ and OUT-. The output voltage is measured across a load resistor labeled 22. The output is connected to a series of components: a diode labeled 2, a resistor labeled 3, an inductor labeled 4, a capacitor labeled 5, a resistor labeled 6, a capacitor labeled 7, and a diode labeled 8. A feedback loop is formed by a resistor labeled 14, a resistor labeled 15, a resistor labeled 16, and a diode labeled 13. The feedback signal is fed back to the input of block 1. A feedback network consisting of a resistor labeled 10 and a diode labeled 11 is also shown. A feedback signal is fed back to the input of block 1. A feedback signal is fed back to the input of block 1.

The diagram shows a buck converter circuit. The input is a DC source 23 connected to the DCIN+ and DCIN- terminals of a converter block 1. The converter block 1 has two outputs, OUT+ and OUT-, which are connected to a diode 2 and a diode 3 respectively. The OUT+ line is connected to an inductor 4, which is in series with a capacitor 5. The OUT- line is connected to a diode 3. The output of the inductor 4 and capacitor 5 is connected to a load resistor 22. The output voltage is also connected to a feedback network consisting of resistors 14, 15, and 16. The feedback network is connected to the non-inverting input (+) of an operational amplifier 8. The inverting input (-) of the op-amp 8 is connected to a reference voltage divider consisting of resistors 11 and 10. The output of the op-amp 8 is connected to the Duty input of the converter block 1.

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☒ BLACK BORDERS
- ☒ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☐ FADED TEXT OR DRAWING
- ☐ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☒ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☒ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.